

FORMATION RESEAUX DE NEURONES

Cette formation est dispensée par l'équipe du Professeur Gérard DREYFUS, responsable du laboratoire d'électronique de l'ESPCI.

Deux sessions annuelles, en Mai/Juin et Octobre/Novembre sont organisées en collaboration avec HSP.

La dernière session qui s'est tenue début Novembre 99 a réuni 12 stagiaires venant d'horizons très différents: le nucléaire, le pétrole et les matières premières, la métallurgie, l'avionique, le médical et les télécommunications, preuve que cette théorie et ses applications peut s'adapter à nombre de disciplines scientifiques.



Le programme de ces sessions est le suivant:

NIVEAU 1

MISE EN OEUVRE DES RESEAUX DE NEURONES : POURQUOI? POUR QUOI? COMMENT ?

Ce cours est destiné à des ingénieurs ou chercheurs intéressés par des applications en reconnaissance automatique de formes (vision, parole...), classification automatique, traitement de signaux temporels, modélisation et commande de processus, etc...

Il comprend une journée de Travaux pratiques.

A l'issue du cours, le stagiaire connaîtra les architectu-

res des réseaux de neurones, les bases algorithmiques de l'apprentissage, les applications et performances typiques, ainsi que les stratégies industrielles envisageables pour développer une application.

NIVEAU 2 APPLICATIONS ET REALISATIONS

Ce cours est destiné à des ingénieurs ou chercheurs ayant suivi le cours de niveau 1, ou possédant déjà des connaissances théoriques ou pratiques équivalentes.

Pour plus de renseignements, n'hésitez pas à nous contacter au **01 30 57 31 13**, ou à consulter notre site internet : www.hsp.fr

La PCI1T4

Pour les applications nécessitant plus de 4 modules et des débits inter-processeurs importants, il est possible d'interconnecter plusieurs cartes directement à environ 17 Moctets/s par lien.

Parmi les modules TIM HSP, on peut citer, en particulier - les S1C62, S1C67 et D1c62, D1C67, des modules TIM équipés de 1 ou 2 DSP Texas TMS 320C6x.

- les XCIM et XC436 de MIROTECH, des modules d'accélération utilisant des FPGA



- de nombreux modules de conversion analogiques-numériques et numériques-analogiques jusqu'à 10 Mhz de cadence d'échantillonnage.



Les dernières nouvelles d'HSP

N°8 - Février 2000

HSP : Toutes les solutions pour le traitement du signal et de l'image en Temps réel.

Forte d'une expérience de plus de 12 ans dans la maîtrise de technologies complexes: DSP, FPGA, Power PC au service du traitement du signal et de l'image en Temps réel, HSP se positionne en prestataire de services apte à vous aider dans vos développements.

Notre démarche consiste, en particulier:

- A analyser votre besoin
- A choisir les sous-ensembles standards (COTS) les mieux adaptés proposés par l'ensemble des fournisseurs de cartes et de logiciels standards
- A les compléter en développant, si besoin est, les matériels et logiciels complémentaires nécessaires à votre application.

Indépendant des distributeurs de cartes, nous pouvons vous garantir une assistance efficace, objective et indépendante. Cette position nous permet également d'être en relations avec tous les fournisseurs de cartes, sans qu'ils puissent craindre une concurrence de notre part, et sans qu'un engagement vis à vis d'eux ne puisse influencer notre impartialité.

Nous intégrons à nos méthodes de développement logiciel les nouveaux outils disponibles. Nous utilisons des bibliothèques et langages de haut niveau (Matlab, VHDL...), le développement initial pouvant, si besoin est, être suivi d'une phase d'optimisation des séquences critiques. Ceci nous permet de répondre très rapidement aux questions fondamentales: Mon algorithme est-il performant?, Vais-je tenir les contraintes Temps réel liées à mon processus?...

Nous pensons être ainsi en position pour vous aider efficacement dans la réalisation du cœur Temps réel de votre application.

Mango Computer: Une approche globale de l'utilisation des DSP

La société MANGO, une société Israélienne créée en 1996, s'implante en Europe par la création d'une filiale en Angleterre. Distribuée en France par ECRIN, elle s'appuie sur HSP pour son support technique logiciel applicatif.

Virtuoso: Prise en compte d'une interruption en 200 ns:

La nouvelle version de Virtuoso, l'OS temps réel d'EONIC pour réseaux de DSP est maintenant disponible.

Les formations HSP

HSP organise de façon périodique des cours de formation: voir page 2

TDF recette la nouvelle carte HDB3:

TDF vient de recetter la carte «HDB3», une carte étudiée et réalisée par HSP.



La PCI1T4: Une carte idéale pour le prototypage d'applications:

La carte PCI1T4 conçue par HSP est une carte PCI longue permettant de recevoir 4 modules au format TIM 40. Elle peut donc se prêter à tous les essais de configuration melant DSP, FPGA, modules d'entrées-sorties...



Souhaitez vous continuer à recevoir notre lettre d'informations? oui non

Souhaitez vous la recevoir par E-Mail? oui non

Nom _____ Prénom: _____

Société: _____

Adresse: _____

Tel: _____ Adresse E-mail: _____

Accepte de recevoir les dernières nouvelles d'HSP par E-mail.

Dater/ Signer _____

Les cours de formation HSP:

HSP organise, de façon périodique, des cours de formations en ses locaux de Guyancourt.

On trouvera ci-dessous un descriptif rapide du programme de ces cours et le calendrier pour le premier semestre 2000

TMS320C6x

- Architecture interne des C62xx et C67x
- Les échanges de données avec l'extérieur par l'utilisation de mémoires rapides (SBSRAM, SDRAM,...)
- Séquence de boot sur le bus spécifique "Host Port" contrôlé par 1 voie DMA
- Environnement de développement, outils Texas Instruments, bibliothèques
- Exemple d'une carte à 2 processeurs TMS320C6201
- Exemples de programmation

TMS320C40

- Architecture interne du C40
- Architecture multi-C40 : communication de données
- Eléments pour l'optimisation : structure pipeline, parallélisme, ratio communication/CPU, répartition mémoire
- Optimisation de bas niveau sur un exemple de filtre
- Environnement de développement, outils Texas Instruments, bibliothèques
- Structure des différentes cartes du marché
- Exemple de méthodologie de construction de cartes et de systèmes : les modules TIM-40
- Exemples de programmation

MIROTECH

- Structure générale des cartes et modules Mirotech
- Principes généraux d'utilisation des FPGA
- Principes généraux d'utilisation des C4x
- Environnement de développement, outils Texas

Instruments, outils Xilinx, bibliothèques

- Exemple de la carte ARISTOTLE
- Exemples de programmation

OS temps Réel VIRTUOSO

- Motivation générale
- Objets et services de Virtuoso : tâches, schémas de priorités, timer, gestion mémoire, ressources, sémaphores, messages, files d'attente

Type	date	Lieu	Langue**
C6x	2 et 3/05/99	Guyancourt	Français
	28 et 29/03/2000	Guyancourt	Français
C4x	14 et 15/03/2000	Guyancourt	Français
Réseaux de Neurones	niv 1: 15 au 17/05/2000 Niv2: 18 et 19/05/2000	Paris 5ème	Français
Mirotech	25 et 26/04/2000	Guyancourt	Français
Sharc	11 et 12/04/2000	Guyancourt	Français
Virtuoso	30 et 31/03/2000	Guyancourt	Français

- Traitement des interruptions
- Fonctions principales
- Liaison avec le serveur
- Utilisation : configuration, monitoring et mise au point
- Exemples

ADSP 2106x Sharc

- Architecture interne du Sharc
- Architecture multi-Sharc : transfert de données au travers de la mémoire ou au travers des ports de communication
- Eléments pour l'optimisation : conflits mémoire,

répartition du programme et des données dans les mémoires internes et externes, parallélisme, ratio communication/CPU

- Environnement de développement, chaîne de compilation et production d'un exécutable, outils logiciels d'Analog Devices
- Optimisation de bas niveau sur un exemple de filtre
- Quelques structures de cartes
- Exemples de programmation



Performances de Virtuoso sur C6x

Les performances de ce produit ont été encore améliorées et c'est ainsi que des mesures effectuées sur des cartes équipées des nouveaux DSP de TEXAS: TMS320C6701 cadencés à 167 MHz ont permis de montrer que le temps de prise en compte d'une interruption était compris entre 200 et 900 ns. Ce niveau de performances permet donc d'envisager l'utilisation d'un tel OS même dans le cadre d'applications Temps Réel critiques.

La carte

ARIX:

Conçue par la société canadienne **MiroTech**, la carte ARIX constitue une solution complète pour des applications telles que le traitement de signal numérique (à virgule flottante), la programmation de fonctions sur FPGA, l'accélération de calcul (en utilisant le FPGA comme co-processeur du DSP), l'acquisition et traitement rapide de données... etc...



La carte **ARIX** se compose d'un **TMS320C44 à 60 MHz**, de 4 liens de communication à 20 Mo/s, d'un **FPGA VIRTEX** (300 000 à **800 000** portes logiques utiles), de 2 Mo de mémoire SRAM, de 2 FIFOs bi-directionnelles 32 bits (pour le transfert entre le C44, le FPGA et le bus PCI) d'une **interface PCI** (à 50 Mo/s), d'un site pour module IP (pour extension, avec 39 E/S digitales connectées au FPGA), d'un contrôleur JTAG pour le debug et de 2 emplacements pour modules TIM

QUELQUES EXEMPLES D'UTILISATION

Utilisation d'un DSP (Processeur de traitement du signal numérique) à virgule flottante

Développement, programmation puis exécution d'un algorithme pour FPGA

Accélération de calcul, en utilisant le FPGA comme co-processeur du DSP TMS320C44

Acquisition et traitement rapide de données

Utilisation en tant que système temps réel (avec un OS temps réel)

MANGO a développé Math-Link EDS™,

un environnement de développement permettant de générer directement à partir de MATLAB du code pour des réseaux de DSP. Cette approche nouvelle permet la réduction du temps de développement des applications devant tourner sur des réseaux de DSP, puis de simplifier leurs évolutions et de faciliter leur maintenance.

MANGO a, par ailleurs, développé une gamme de cartes de traitement mettant en oeuvre des DSP de type Sharc d'Analog Devices et C6x de Texas Instruments. HSP alliant une expérience de plus de 10 ans de la mise en oeuvre des DSP a une bonne connaissance des produits de MATHWORKS sera en mesure de soutenir les utilisateurs de MANGO dans le développement de leurs applications.

La carte HDB3

Cette carte, au format PCI, est destinée à permettre le dialogue entre un PC tournant sous Windows NT et un équipement distant selon la norme HDB3 avec un débit de 2,048 Mbits/s

Elle est basée, essentiellement sur l'utilisation d'un EPLD associé à un C44. Cette solution permet, dans le cadre des contraintes de performances liées au débit et à la composition des messages à interpréter, de générer une procédure spécifique et évolutive.

Cette carte devrait, au cours de l'année 2000, être expérimentée en vraie grandeur sur plusieurs sites de TDF.

L'ESIEE se dote d'une carte ARIX.

L'ESIEE (Ecole Supérieure d'Electronique et d'Electrotechnique) vient de prendre livraison de la nouvelle carte ARIX de MIROTECH

Cette carte est destinée au laboratoire d'algorithmique et d'architecture des systèmes informatiques du groupe Esiee. Elle sera utilisée dans le cadre d'un projet d'études d'adéquation algorithmique/architecture informatique placé sous la responsabilité de M.M AKIL.

Ce même laboratoire s'est déjà doté d'une carte ARISTOTLE et de 2 modules XCIM de MIROTECH, en particulier dans le cadre d'un projet de décompression d'images de grandes dimensions.

L'ESA choisit VIRTUOSO et le DSP ADI-21020.

L'ESA a choisi le DSP ADI 21020 pour ses applications embarquées.

Ce DSP durci pour satisfaire aux contraintes d'environnement est devenu le TEMIC TSC21020. AUSTRIAN AEROSPÄCE a adapté les bibliothèques standards d'Analog Device à ce produit et choisi VIRTUOSO comme noyau Temps Réel pour les applications spatiales.